

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-139908

(43)Date of publication of application : 14.06.1991

(51)Int.Cl.

H03F 3/50

(21)Application number : 01-276097

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 25.10.1989

(72)Inventor : NAKAMURA TSUTOMU

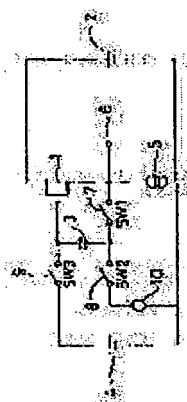
(54) SOURCE-FOLLOWER CIRCUIT

(57)Abstract:

PURPOSE: To obtain a voltage corresponding to a signal voltage to be detected by holding characteristic dispersion in the source-follower circuit operation of a transistor(TR) in an accumulation means, superposing the stored dispersion information to the signal voltage to be detected and impressing the superposed voltage to the gate terminal of a source follower TR.

CONSTITUTION: The gate of a source follower TR 1 is connected to a reference voltage source 4 through a switch 9 together with one end of a TR characteristic holding capacitor 3. The source of the TR 1 is connected to a constant current source 5 to be a source follower load, extracted from an output terminal 6, connected to the other end of the capacitor 3 through a switch 7 and then connected to a signal voltage 10 to be detected through a switch 8. The characteristics dispersion information of the source follower circuit operation of the TR 1 is stored

in the accumulation means and superposed to the signal voltage to be detected and the superposed voltage is impressed to the gate terminal of the TR 1. Thus, the output voltage corresponding to the signal voltage to be detected is obtained independently of the characteristics of the source follower TR.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-139908

⑬ Int.Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月14日

H 03 F 3/50

7741-5J

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 ソースフォロワ回路

⑯ 特 願 平1-276097

⑰ 出 願 平1(1989)10月25日

⑱ 発 明 者 中 村 力 東京都渋谷区幡ヶ谷2丁目43番2号 オリジナル光学工業株式会社内

⑲ 出 願 人 オリジナル光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

⑳ 代 理 人 弁理士 最上 健治

明細書

1. 発明の名称

ソースフォロワ回路

2. 特許請求の範囲

1. 被検出信号電圧に対応する電圧をバッファ出力するソースフォロワ回路において、前記ソースフォロワ回路を構成するソースフォロワ用トランジスタと、該トランジスタの特性のばらつき情報を予め保持するための蓄積手段と、該蓄積手段に前記ばらつき情報を保持させるための参照電圧源と、該参照電圧源を前記ソースフォロワ用トランジスタのゲート端子に印加して前記蓄積手段に前記ばらつき情報を保持し、且つ該蓄積手段に保持したばらつき情報を被検出信号電圧に重畳して前記ソースフォロワ用トランジスタのゲート端子に印加するためのスイッチ群を備えていることを特徴とするソースフォロワ回路。

2. 前記トランジスタ特性のばらつき情報を予め蓄積手段に保持させる際に用いる参照電圧

源として、被検出信号電圧を用いることを特徴とする請求項1記載のソースフォロワ回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、トランジスタによるソースフォロワ回路に関し、特にトランジスタの閾値のばらつきに起因するソースフォロワ出力のオフセットのばらつきを除去するようにしたソースフォロワ回路に関する。

(従来の技術)

ソースフォロワ回路は、ドレインを交流的に接地し、ゲートに入力を加え、ソースから出力を取り出すMOSトランジスタの使用であり、電圧利得は1以下であるが、出力インピーダンスが非常に小さいので、バッファとしてよく使用されている。

第7図は、従来のソースフォロワ回路の一例を示す概略的な回路構成図である。同図において、101はNチャネルMOSトランジスタで、該トランジスタ101のゲートには信号電圧102が接続さ

れ、ドレインは電源103に接続され、ソースは定電流源104に接続されている。そして信号電圧102に対応する電圧はトランジスタ101のソースに接続された出力端子105から取り出されるようになっている。同様に信号電圧106はNチャネルMOSトランジスタ107のゲートに接続され、該トランジスタ107のドレインは電源103に接続され、ソースは定電流源108に接続されている。そして信号電圧106に対応する電圧はトランジスタ107のソースに接続された出力端子109から取り出されるように構成されている。

〔発明が解決しようとする課題〕

上記のように構成されたソースフォロワ回路において、信号電圧102の電圧を V_1 、出力端子105の出力電圧を V_{out1} 、定電流源104の電流値 I_1 、トランジスタ101の閾値と変換コンダクタンスを、それぞれ V_{T1} と $\beta_1/2$ とすると、電流値 I_1 は、

$$I_1 = (\beta_1/2) \cdot (V_1 - V_{out1} - V_{T1})^2 \quad \dots\dots(1)$$

と表され、したがって出力電圧 V_{out1} は、

のソースフォロワ回路が共存する回路構成においても、それぞれのソースフォロワ用トランジスタの特性のばらつきが、出力のばらつきとなって現れないようにしたソースフォロワ回路を提供することを目的とする。

〔課題を解決するための手段及び作用〕

上記問題点を解決するため、本発明は、ソースフォロワ回路を構成するソースフォロワ用トランジスタと、該トランジスタの特性のばらつき情報を予め保持するための蓄積手段と、該蓄積手段に前記ばらつき情報を保持させるための参照電圧源と、該参照電圧源を前記ソースフォロワ用トランジスタのゲート端子に印加して前記蓄積手段にばらつき情報を保持し、且つ該蓄積手段に保持したばらつき情報を被検出信号電圧に重畳して前記ソースフォロワ用トランジスタのゲート端子に印加するためのスイッチ群とでソースフォロワ回路を構成するものである。

このように構成したソースフォロワ回路においては、スイッチ群の操作により、まずソースフォ

$$V_{out1} = V_1 - V_{T1} - (2I_1/\beta_1)^{1/2} \quad \dots\dots(2)$$

と表される。一方、信号電圧106の電圧を V_2 、出力端子109の出力電圧を V_{out2} 、定電流源108の電流値 I_2 、トランジスタ107の閾値と変換コンダクタンスを、それぞれ V_{T2} と $\beta_2/2$ とすると、電流値 I_2 は、

$$I_2 = (\beta_2/2) \cdot (V_2 - V_{out2} - V_{T2})^2 \quad \dots\dots(3)$$

と表され、したがって出力電圧 V_{out2} は、

$$V_{out2} = V_2 - V_{T2} - (2I_2/\beta_2)^{1/2} \quad \dots\dots(4)$$

と表される。よって出力電圧 V_{out1} 及び V_{out2} には、それぞれのソースフォロワ用トランジスタ101、107の閾値及び変換コンダクタンスの影響が現れ、出力電圧 V_{out1} 、 V_{out2} は閾値及び変換コンダクタンスのそれぞれの値がばらつくと、それに対応してばらつくという問題点を有していた。

本発明は、従来のソースフォロワ回路の上記問題点を解決するためになされたものであり、複数

のソースフォロワ回路に用いるトランジスタのソースフォロワ回路動作における特性のばらつき情報を予め別途設けた蓄積手段に保持し、次いで該蓄積手段に保持したばらつき情報を被検出信号電圧に重畳して、該ソースフォロワ用トランジスタのゲート端子に印加する。これにより、該ソースフォロワ用トランジスタのソース端子には、該ソースフォロワ用トランジスタの特性に依存せず被検出信号電圧に対応した出力電圧が得られる。

〔実施例〕

以下、実施例について説明する。第1図は、本発明によるソースフォロワ回路の第1実施例を示す回路構成図である。第1図において、1はソースフォロワ用トランジスタで、該トランジスタ1のドレインは電源(V_0)2に接続され、そのゲートはトランジスタ特性保持用の容量3の一端と、第3のスイッチ(SW3)9を介して基準(参照)電圧源(V_{ref})4にそれぞれ接続されている。またソースフォロワ用トランジスタ1のソースは、ソースフォロワの負荷となる定電流源5と接続され

て出力端子6として取り出され、且つ第1のスイッチ(SW1)7を介して前記トランジスタ特性保持用容量3の他端に接続され、更に第2のスイッチ(SW2)8を介して被検出信号電圧(V_{sig})10と接続されている。

次にこのように構成されたソースフォロワ回路の動作について説明する。第2図は、第1図に示したソースフォロワ回路の動作を説明するためのタイミングチャートである。まず t_1 の時点において第1のスイッチ(SW1)7がON、第2のスイッチ(SW2)8がOFF、第3のスイッチ(SW3)9がONとなると、ソースフォロワ用トランジスタ1は基準電圧源(V_{ref})4の電圧 V_{ref} をゲート電圧とするソースフォロワ動作となり、出力端子6の電圧を $V_{out-ref}$ 、定電流源5の電流値を I 、ソースフォロワ用トランジスタ1の閾値と変換コンダクタンスをそれぞれ V_T と $\beta/2$ とすると、ソースフォロワ用トランジスタ1の特性は、

$$I = (\beta/2) \cdot (V_{ref} - V_{out-ref} - V_T)^2 \quad (5)$$

はソースフォロワ用トランジスタ1の特性に依存せず、被検出信号電圧(V_{sig})10と同一の電圧となる。またこの場合、(8)式から明らかなようにソースフォロワの負荷となる定電流源5の電流値 I がばらついても出力信号には影響を与えない。

次に、本発明の第2の実施例について説明する。第3図は、第2実施例の回路構成図である。第3図において、11はソースフォロワ用トランジスタで、該トランジスタ11のドレインは電源(V_D)12に接続され、そのゲートはトランジスタ特性保持用の容量13の一端と、第3のスイッチ(SW3)19を介して被検出信号電圧(V_{sig})14にそれぞれ接続され、またソースフォロワ用トランジスタ11のソースは、ソースフォロワの負荷となる定電流源15と接続されて出力端子16として取り出され、且つ第1のスイッチ(SW1)17を介して前記トランジスタ特性保持用容量13の他端、及び更に第2のスイッチ(SW2)18を介して前記被検出信号電圧(V_{sig})14と接続されている。

次に第2実施例の動作について説明する。第4

と表されるので、トランジスタ特性保持用容量3の両端には、

$$\Delta V = V_{ref} - V_{out-ref} = V_T + (2I/\beta)^{1/2} \quad (6)$$

の充電電圧が現れる。

次に t_2 の時点において、第1のスイッチ(SW1)7がOFF、第2のスイッチ(SW2)8がON、第3のスイッチ(SW3)9がOFFとなると、ソースフォロワ用トランジスタ1は、被検出信号電圧(V_{sig})10にトランジスタ特性保持用容量3に蓄積された電圧 ΔV が重畳された電圧をゲート電圧とするソースフォロワ動作となる。その際の出力端子6の電圧を V_{out} とすると、

$$I = (\beta/2) \cdot (V_{sig} + \Delta V - V_{out} - V_T)^2 \quad (7)$$

と表されるから、出力電圧 V_{out} は、

$$V_{out} = V_{sig} + \Delta V - V_T - (2I/\beta)^{1/2} = V_{sig} \quad (8)$$

となる。すなわち出力端子6に現れる出力電圧 V_{out}

図は、第3図に示した第2実施例のソースフォロワ回路の動作を説明するためのタイミングチャートである。まず t_1 の時点において第1のスイッチ(SW1)17がON、第2のスイッチ(SW2)18がOFF、第3のスイッチ(SW3)19がONとなると、ソースフォロワ用トランジスタ11は被検出信号電圧(V_{sig})14をゲート電圧とするソースフォロワ動作となり、出力端子16の電圧を $V_{out-sig}$ 、定電流源15の電流値を I 、ソースフォロワ用トランジスタ11の閾値と変換コンダクタンスをそれぞれ V_T と $\beta/2$ とすると、ソースフォロワ用トランジスタ11の特性は、

$$I = (\beta/2) \cdot (V_{sig} - V_{out-sig} - V_T)^2 \quad (9)$$

と表されるので、トランジスタ特性保持用容量13の両端には、

$$\Delta V = V_{sig} - V_{out-sig} = V_T + (2I/\beta)^{1/2} \quad (10)$$

の充電電圧が現れる。

次に t_2 の時点において、第1のスイッチ(S

W1) 17がOFF、第2のスイッチ(SW2)18がON、第3のスイッチ(SW3)19がOFFとなると、ソースフォロ用トランジスタ11は、被検出信号電圧(V_{sig}) 14にトランジスタ特性保持用容量13に蓄積された電圧 ΔV が重畳された電圧をゲート電圧とするソースフォロ動作となる。その際の出力端子16の出力電圧を V_{out} とすると、

$$I = (\beta/2) \cdot (V_{sig} + \Delta V - V_{out} - V_T)^2 \quad \dots\dots 00$$

と表されるから、出力電圧 V_{out} は、

$$V_{out} = V_{sig} + \Delta V - V_T - (2I/\beta)^{1/2} \\ = V_{sig} \quad \dots\dots 02$$

となる。すなわち出力端子16に現れる出力電圧 V_{out} はソースフォロ用トランジスタ11の特性に依存せず、被検出信号電圧(V_{sig}) 14と同一の電圧となる。またこの場合、02式から明らかなようにソースフォロの負荷となる定電流源15の電流値 I がばらついても出力信号には影響を与えない。

この第2実施例では、第1実施例に比べMOSトランジスタの閾値電圧 V_T に対する基板電圧効

果によるトランジスタの閾値変動によって生じる誤差電圧 V_{error} は、

$$V_{error} = A \cdot (V_T)^{1/2} \quad \dots\dots 03$$

となり、被検出信号電圧 V_{sig} の大きさに依存しなくなる。すなわち第2実施例の場合の方が第1実施例の場合に比べ、入出力間の線形性が遙かに良好に保たれることになる。また更に第2実施例の場合は、トランジスタの閾値ばらつきをトランジスタ特性保持用容量への保持のための基準(参照)電圧源が不要となり、回路構成が容易になるという特徴も併せて有している。

次に本発明の第3実施例について説明する。第5図は、本発明によるソースフォロ回路の第3実施例の回路構成を示す図である。第5図において、21はソースフォロ用トランジスタで、該トランジスタ21のドレインには電源(V_D) 22が接続され、そのゲートには第5のスイッチ(SW5)31を介して基準電圧源(V_{ref}) 23が接続され、且つ該トランジスタ21のゲートには第3のスイッチ(SW3) 29を介してトランジスタ特性保持用容量

果の影響を受けにくいという特徴を有する。MOSトランジスタの基板電圧効果は、トランジスタの基板電位を基準電圧とすれば、トランジスタのソース電位が V_s のときトランジスタの閾値電圧が、

$$\Delta V_T = A \cdot (V_s)^{1/2} \quad \dots\dots 03$$

だけ上昇する現象である。ここで A は比例定数である。したがって第1実施例の場合は、基準電圧源(V_{ref}) 4を用いてトランジスタ1の閾値ばらつきをトランジスタ特性保持用容量3に保持した際のソース電位と、実際の被検出信号電圧(V_{sig}) 10に対応する電位を出力する際のソース電位の差により、トランジスタの閾値が基板効果により変動するため、

$$V_{error} = A \cdot (V_{sig} + V_T - V_{ref})^{1/2} \quad \dots\dots 04$$

で表される被検出信号電圧 V_{sig} と基準電圧 V_{ref} の差の $1/2$ 乗に比例した誤差電圧 V_{error} を生じる。

これに対して第2実施例の構成の場合は、基板

24の一端が接続されている。またソースフォロ用トランジスタ21のソースには、ソースフォロの負荷となる定電流源25が接続されて、その接続点が出力端子26として取り出され、且つ第1のスイッチ(SW1)27を介して前記トランジスタ特性保持用容量24の他端に接続されている。またトランジスタ特性保持用容量24の前記第3のスイッチ(SW3)29に接続されている端子は、更に第4のスイッチ(SW4)30を介して接地され、一方トランジスタ特性保持用容量24の第1のスイッチ(SW1) 27に接続されている端子は、第2のスイッチ(SW2)28を介して被検出信号電圧(V_{sig}) 32に接続されている。

次にこのように構成された第3実施例のソースフォロ回路の動作について説明する。第6図は、第5図に示したソースフォロ回路の動作を説明するためのタイミングチャートである。まず t_1 の時点において第1のスイッチ(SW1)27がON、第2のスイッチ(SW2)28がOFF、第3のスイッチ(SW3)29がOFF、第4のスイッチ(SW

4) 30がON、第5のスイッチ(SW5)31がONとなると、ソースフォロウ用トランジスタ21は基準電圧源(V_{REF})23の電圧 V_{REF} をゲート電圧とするソースフォロウ動作となり、出力端子26の電圧を $V_{OUT'}$ 、定電流源25の電流値を I 、ソースフォロウ用トランジスタ21の閾値と変換コンダクタンスを、それぞれ V_T と $\beta/2$ とすると、ソースフォロウ用トランジスタ21の特性は、

$$I = (\beta/2) \cdot (V_{REF} - V_{OUT'} - V_T)^2 \quad \dots\dots 03$$

と表されるので、トランジスタ特性保持用容量24の両端には、

$$V_{OUT'} = V_{REF} - V_T - (2I/\beta)^{1/2} \quad \dots\dots 04$$

の充電電圧が現れる。

次に t_2 の時点において、第1のスイッチ(SW1)27がOFF、第2のスイッチ(SW2)28がON、第3のスイッチ(SW3)29がON、第4のスイッチ(SW4)30がOFF、第5のスイッチ(SW5)31がOFFとなると、ソースフォロウ用

(V_{SIG})32にDC的なオフセット成分があり、真の信号電圧成分が被検出信号電圧(V_{SIG})32に比べて小さい場合でも、基準電圧源(V_{REF})23の電圧 V_{REF} を適宜設定することにより、ソースフォロウ用トランジスタ21の動作点を好適なバイアスに設定することが可能となる。このため不必要に電源22の電圧 V_0 を高く設定する必要がなくなり、駆動の容易化、回路動作の低消費電力化が可能となる。

以上、各実施例においては、ソースフォロウ用トランジスタとしてNチャネルのMOS型電界効果トランジスタを用いて説明したが、電源などの接続を変更すればPチャネルのMOS型電界効果トランジスタを用いた回路構成でも、同様な作用効果が得られることは勿論、接合型電界効果トランジスタあるいは高い電流増幅率を有するバイポーラトランジスタ等の5極管特性を示すデバイスも利用可能であることは明らかである。

(発明の効果)

以上実施例に基づいて説明したように、本発明

トランジスタ21は、被検出信号電圧(V_{SIG})32にトランジスタ特性保持用容量24に蓄積された電圧が逆に重畳された電圧を、ゲート電圧とするソースフォロウ動作となる。この際の出力端子26の電圧を V_{OUT} とすると、

$$I = (\beta/2) \cdot (V_{SIG} - V_{OUT} - V_{OUT'} - V_T)^2 \quad \dots\dots 05$$

と表されるから、出力電圧 V_{OUT} は、

$$\begin{aligned} V_{OUT} &= V_{SIG} - V_{OUT'} - V_T - (2I/\beta)^{1/2} \\ &= V_{SIG} - V_{REF} \quad \dots\dots 06 \end{aligned}$$

となる。すなわち出力端子26に現れる出力電圧 V_{OUT} はソースフォロウ用トランジスタ21の特性に依存せず、被検出信号電圧(V_{SIG})32と基準電圧源(V_{REF})23の電圧 V_{REF} との差電圧となる。またこの場合、05式から明らかなようにソースフォロウの負荷となる定電流源25の電流値 I がばらついていても出力信号には影響を与えない。

この第3実施例においては、出力電圧が06式で表されるように被検出信号電圧(V_{SIG})32と基準電圧 V_{REF} の差電圧となるので、被検出信号電圧

によれば、ソースフォロウ回路に用いるトランジスタのソースフォロウ回路動作における特性ばらつきを予め別途設けた蓄積手段に保持し、該蓄積手段に保持したばらつき情報を被検出信号電圧に重畳して、該ソースフォロウ用トランジスタのゲート端子に印加するように構成したので、該ソースフォロウ用トランジスタのソース端子に該ソースフォロウ用トランジスタの特性に依存せず、被検出信号電圧に対応した電圧を得ることが可能となる。

4. 図面の簡単な説明

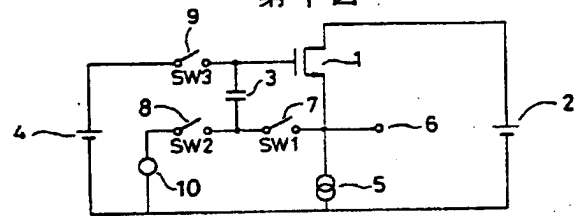
第1図は、本発明に係るソースフォロウ回路の第1実施例を示す回路構成図、第2図は、第1実施例の動作を説明するためのタイミングチャート、第3図は、第2実施例を示す回路構成図、第4図は、第2実施例の動作を説明するためのタイミングチャート、第5図は、第3実施例を示す回路構成図、第6図は、第3実施例の動作を説明するためのタイミングチャート、第7図は、従来のソースフォロウ回路の構成例を示す回路構成図である。

図において、1はソースフォロワ用MOSトランジスタ、2は電源、3はトランジスタ特性保持用容量、4は基準電圧源、5は定電流源、6は出力端子、7は第1のスイッチ、8は第2のスイッチ、9は第3のスイッチ、10は被検出信号電圧を示す。

特許出願人 オリンパス光学工業株式会社
代理人弁理士 最上健治

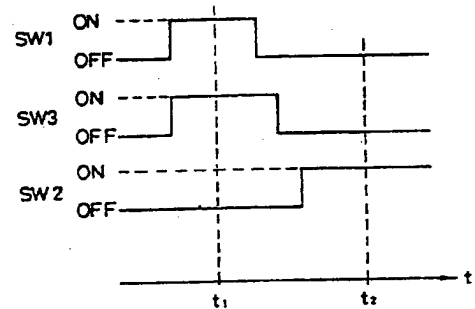


第1図

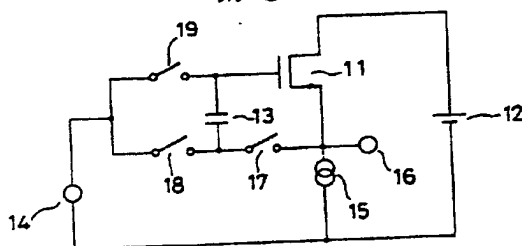


- 1: ソースフォロワ用トランジスタ 5: 定電流源
2: 電源 (V_D) 6: 出力端子
3: トランジスタ特性保持用容量 10: 被検出信号電圧 (V_{sig})
4: 基準電圧源 (V_{REF})

第2図

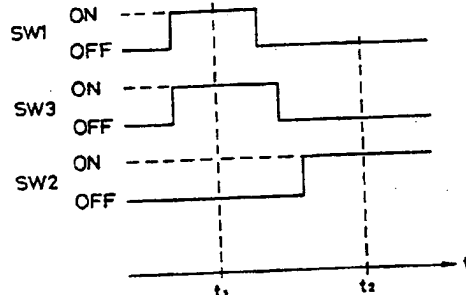


第3図

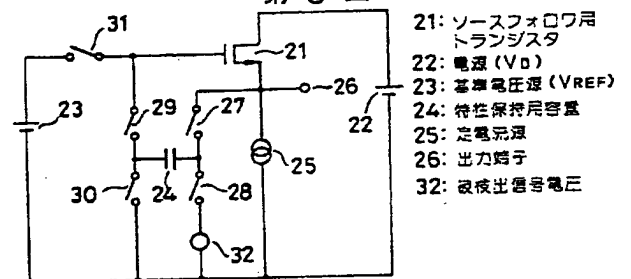


- 11: ソースフォロワ用トランジスタ 15: 定電流源
12: 電源 (V_D) 16: 出力端子
13: トランジスタ特性保持用容量
14: 被検出信号電圧 (V_{sig})

第4図

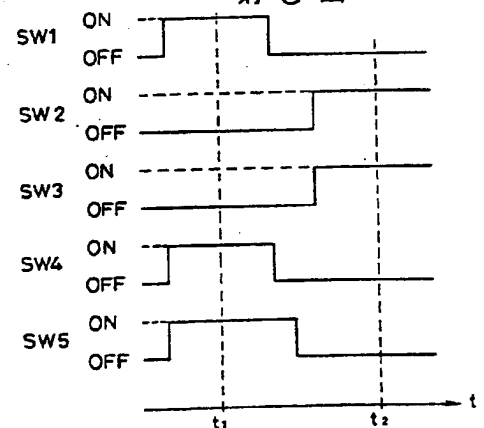


第5図

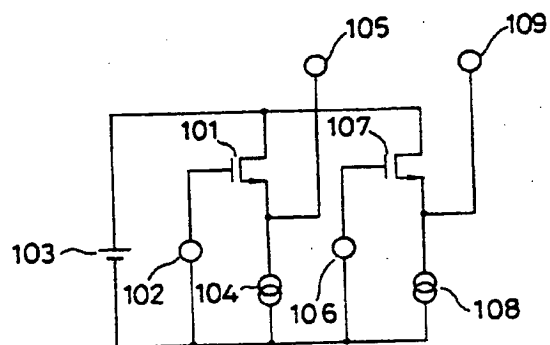


- 21: ソースフォロワ用トランジスタ
22: 電源 (V_D)
23: 基準電圧源 (V_{REF})
24: 特性保持用容量
25: 定電流源
26: 出力端子
32: 被検出信号電圧

第6図



第7図



101, 107: Nチャネル MOSトランジスタ
 102, 106: 信号電圧
 103: 電源
 104, 108: 定電流源
 105, 109: 出力端子